



KARTA OPISU PRZEDMIOTU - SYLABUS

Nazwa przedmiotu

Weryfikacja układów programowalnych [S1MiKC1>WUP]

Przedmiot

Kierunek studiów

Mikroelektronika i komunikacja cyfrowa

Rok/Semestr

3/6

Studia w zakresie (specjalność)

–

Profil studiów

ogólnoakademicki

Poziom studiów

pierwszego stopnia

Język oferowanego przedmiotu

polski

Forma studiów

stacjonarne

Wymagalność

obieralny

Liczba godzin

Wykład

15

Laboratorium

15

Inne

0

Ćwiczenia

0

Projekty/seminaria

15

Liczba punktów ECTS

3,00

Koordynatorzy

dr inż. Adam Grzelka

adam.grzelka@put.poznan.pl

Wykładowcy

Wymagania wstępne

Ma podstawową wiedzę o trendach rozwojowych w zakresie układów programowalnych. Posiada wiedzę wystarczającą do projektowania wyspecjalizowanych układów cyfrowych do zastosowania w układach programowalnych. Zna zasadę działania podstawowych interfejsów komunikacyjnych. Zna zasady projektowania podstawowych elementów układów cyfrowych (automaty, potoki). Potrafi pozyskiwać dane z literatury i innych źródeł, potrafi integrować uzyskane informacje, dokonywać ich interpretacji, a także formułować i uzasadniać opinie. Potrafi opisać elementy układu cyfrowego w postaci modułu języka Verilog. Potrafi testować i weryfikować poprawność działania układu cyfrowego. Potrafi wykorzystać poznane techniki projektowe do zaprojektowania układu cyfrowego. Posiada umiejętność korzystania z nowoczesnych narzędzi wspomagania projektowania i syntezy układów cyfrowych dla platformy układów FPGA. Jest otwarty na możliwości ciągłego doskonalenia się i rozumie konieczność podnoszenia kompetencji zawodowych. Ma podstawową wiedzę niezbędną do rozumienia pozatechnicznych uwarunkowań działalności inżynierskiej; zna podstawowe zasady bezpieczeństwa i higieny pracy. Ma poczucie odpowiedzialności za zaprojektowane systemy elektroniczne i telekomunikacyjne.

Cel przedmiotu

Poszerzenie wiedzy i umiejętności studenta w zakresie: -Techniki zabezpieczania układu cyfrowego przed błędami trwałymi i chwilowymi. -Techniki wykrywania błędów działania i uszkodzeń układu. -Metody weryfikacji projektu. -Metody testowania układów (model BIST).

Przedmiotowe efekty uczenia się

Wiedza:

Posiada wiedzę na temat metod testowania układów cyfrowych. K1_W02, K1_W05

Zna zasadę działania interfejsy JTAG. K1_W11

Zna zasady projektowania/przygotowywania modułów testowych. K1_W02, K1_W11

Umiejętności:

Potrafi pozyskiwać dane z literatury i innych źródeł, potrafi integrować uzyskane informacje, dokonywać ich interpretacji, a także formułować i uzasadniać opinie. K1_U01,

Potrafi stworzyć moduł TestBench dla układu cyfrowego. K1_U10

Posiada umiejętność korzystania z nowoczesnych narzędzi testowania i weryfikacji układów cyfrowych dla platformy układów FPGA. K1_U10

Kompetencje społeczne:

Jest otwarty na możliwości ciągłego doskonalenia się i rozumie konieczność podnoszenia kompetencji zawodowych. K1_K01

Ma podstawową wiedzę niezbędną do rozumienia pozatechnicznych uwarunkowań działalności inżynierskiej; zna podstawowe zasady bezpieczeństwa i higieny pracy. K1_K02

Ma poczucie odpowiedzialności za zaprojektowane systemy elektroniczne i telekomunikacyjne. K1_K04

Metody weryfikacji efektów uczenia się i kryteria oceny

Efekty uczenia się przedstawione wyżej weryfikowane są w następujący sposób:

Wykład: egzaminy pisemny. Egzamin pisemny składa się z 6-10 pytań zamkniętych oraz otwartych. Każde pytanie jest punktowane zgodnie z jego złożonością. Oczekiwana jest krótka odpowiedź opisowa, lub zaznaczenie poprawnych odpowiedzi pytania zamkniętego. Próg zaliczeniowy: 50% punktów. Zagadnienia zaliczeniowe, na podstawie których opracowywane są pytania, zostaną przesłane studentom drogą mailową z wykorzystaniem systemu uczelnianej poczty elektronicznej.

Laboratorium: raporty (Sprawozdanie) z jednolitych tematycznie bloków ćwiczeń laboratoryjnych.

Projekt laboratoryjny realizowany indywidualnie lub w małych grupach.

Projekt: Wykonanie samodzielnego lub grupowego projektu. Zadanie wymaga zaprojektowania oraz zrealizowanego systemu wbudowanego lub jego części.

Dla zaliczeń wykładu, laboratorium i projektu stosuje się następujące progi procentowe dla poszczególnych ocen: 2,0 (< 50%), 3,0 (50%-59%), 3,5 (60%-69%), 4,0 (70%-79%), 4,5 (80%-89%), 5,0 (90% i więcej).

Treści programowe

Metody testowania.

Model BIST.

Kompresja wektorów testowych i odpowiedzi.

Metody analizy danych testowych.

Systemy odporne na błędy.

Weryfikacja projektów dla systemów FPGA.

Analizatory stanu logicznego dla systemów FPGA.

Tematyka zajęć

Zgodna z treściami programowymi, zwracającą między innymi: metody testowania, model BIST, kompresja wektorów testowych i odpowiedzi, metody analizy danych testowych, systemy odporne na błędy, weryfikacja projektów dla systemów FPGA, analizatory stanu logicznego dla systemów FPGA.

Metody dydaktyczne

Wykład: prezentacja multimedialna z przykładami prezentowanymi na tablicy.

Laboratoria / Projekt: praca na komputerach z oprogramowaniem. Wykorzystanie płytek uruchomieniowych. Przykłady zilustrowane na ekranie/tablicy

Literatura

Podstawowa:

Hajduk Z. Wprowadzenie do języka Verilog, BTC, Warszawa 2009.

Synthesis and Optimization of Digital Circuits / Synteza i optymalizacja układów cyfrowych, Giovanni De Micheli, WNT.

J.Rajski, J. Tyszer, Arithmetic Built-In Self-Test for Embedded Systems.

Uzupełniająca:

Łuba T. , Rawski M., Tomaszewicz P., Zbierchowski B.: Synteza układów cyfrowych, Wydawnictwa Komunikacji i Łączności, Warszawa 2003.

Hajduk Z. Wprowadzenie do języka Verilog, BTC, Warszawa 2009

Synteza i optymalizacja układów cyfrowych, Giovanni De Micheli, WNT.

Skahill K., Język VHDL, WNT.

Kamionka-Mikuła H., Małysiak H., Pochopień B., Synteza i analiza układów cyfrowych, WKŁ.

Zbysiński P., Pasierbiński J.: Układy programowalne pierwsze kroki, Wydawnictwo BTC, Warszawa 2004.

Łuba T. Synteza układów logicznych. Oficyna Wyd. PW, Warszawa, 2005.

Bilans nakładu pracy przeciętnego studenta

	Godzin	ECTS
Łączny nakład pracy	85	3,00
Zajęcia wymagające bezpośredniego kontaktu z nauczycielem	45	1,50
Praca własna studenta (studia literaturowe, przygotowanie do zajęć laboratoryjnych/ćwiczeń, przygotowanie do kolokwium/egzaminu, wykonanie projektu)	40	1,50